

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Off nl gungsschrift  
10 DE 44 22 056 A 1

21 Aktenzeichen: P 44 22 056.1  
22 Anmeldetag: 23. 6. 94  
43 Offenlegungstag: 12. 1. 95

23.6.1993  
51 Int. Cl.®:  
H 03 M 9/00  
H 04 J 3/00  
H 04 L 5/00  
// H 03 M 1/22

DE 44 22 056 A 1

30 Unionspriorität: 32 33 31  
23.06.93 JP P 5-176021

71 Anmelder:  
Kabushiki Kaisha Sankyo Seiki Seisakusho, Nagano,  
JP

74 Vertreter:  
Feiler, L., Dr.rer.nat.; Hänzeli, W., Dipl.-Ing.;  
Kottmann, D., Dipl.-Ing, Pat.-Anwälte, 81675  
München

72 Erfinder:  
Katagiri, Takashi, Komagane, Nagano, JP

54 Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen

57 In einem Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen werden Parallelsignale durch mehrere in einem Sender enthaltene Parallel/Serien-Wandler in Seriensignale umgewandelt, Seriensignale durch mehrere in einem Empfänger enthaltene Serien/Parallel-Wandler in Parallelsignale umgewandelt und Mehrfachseriensignale über einen Kanal zwischen dem Sender und dem Empfänger übertragen. Bei diesem Verfahren für Datenübertragung oder -senden sind die mehreren Parallel/Serien- und die mehreren Serien/Parallel-Wandler in Reihe geschaltet, wobei das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serien-Wandler sowie das Format für die dem Kanal nachgeschalteten Serien/Parallel-Wandler die gleichen Formate sind. Dabei können diese Formate vom Start/Stopp-Synchronisiertyp sein.

DE 44 22 056 A 1

Die folgenden Angaben sind den v m Anmelder eingereichten Unterlagen entnommen

Die Erfindung betrifft ein Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen.

Bei einem Motor, z. B. einem bürstenlosen Motor, werden herkömmlicherweise Stellungsdaten der Hauptwelle des Motors detektiert bzw. abgegriffen. Zu diesem Zweck sind ein magnetischer Datenträger oder Signalgeber (recording medium) zum Abgreifen von A-, B- und Z-Phasen sowie ein Magnetpol-Detektiermagnet zum Abgreifen von U-, V- und W-Phasen am Endabschnitt der Hauptwelle des Motors angebracht. Der magnetische Datenträger erzeugt Impulssignale, welche Stellungsdaten repräsentieren, während der Magnetpol-Detektiermagnet Antriebsstellung-Datensignale liefert. In der folgenden Beschreibung bedeuten die Phasen A und B jeweils das Ausgangssignal eines Impulsgenerators, der bei jeder Umdrehung der Hauptwelle eine Zahl  $n$  von  $90^\circ$ -Phasenimpulssignalen liefert, bei denen Phasenvorlauf und -nachlauf mit der Drehrichtung variieren. Die Z-Phase (Phase Z) bedeutet das Ausgangssignal eines Nullpunktimpulsgenerators, der bei jeder Umdrehung der Hauptwelle des Motors ein Impulssignal liefert.

Die Phasen U, V und W bedeuten jeweils das Ausgangssignal eines Magnetpol-Meßsignalgenerators, der ein Impulssignal entsprechend einer Magnetpolstellung des Feldmagneten des Motors liefert.

Diese Dateneinheiten werden über ein ein Bündel von Kanälen enthaltendes Kabel zu einer Steuereinheit übertragen, welche die verschiedenen Steuerungsarten, wie Rückkopplungssteuerung bzw. Regelung, nach Maßgabe der Daten durchführt.

Dieses Datenübertragungssystem ist mit den folgenden Mängeln behaftet:

Wenn als Phasendetektor ein sog. Absolutstellungsgeber zum Erfassen oder Abgreifen einer Absolutstellung der Motor-Hauptwelle benutzt wird, müssen Signale für vier Kanäle, d. h. A-Phase, B-Phase, Reihen- oder Serienphase (Z-, U-, V- und W-Phasen) sowie ein Absolutzählstand übertragen werden. Aus diesem Grund wird eine Anzahl von Übertragungsleitungen verwendet. Ein diese Übertragungsleitungen bündelndes Kabel ist aber dick, was eine Kostenerrhöhung bedingt. Wenn die Steuereinheit an einer vergleichsweise weit entfernten Stelle installiert ist, sind die Übertragungsleitungen lang, wodurch sich diese Probleme noch verstärken.

Wenn ein Teil des Kabels innerhalb der Maschine verlegt wird oder ist, nimmt das dicke Kabel einen großen Raum innerhalb der Maschine ein. Außerhalb der Maschine gestaltet sich die Anordnung des dicken Kabels selbst schwierig. In jedem Fall müssen Trag- oder Halterungselemente vergleichsweise hoher Steifheit für die Halterung des dicken Kabels verwendet werden. Diesbezüglich ist also der Konstruktionsfreiheitsgrad eingeschränkt.

Zur Ausschaltung der geschilderten Probleme sind die in der USA-Patentanmeldung (Serial No.) 08/174,044 (28.12.1993) offenbarten Signalübertragungs- oder -sendevorrichtungen vorgeschlagen worden.

Die in dieser USA-Patentanmeldung offenbarte Technik ist mit den folgenden Problemen behaftet:

Das Übertragungs- bzw. Sendeformat für Datenübertragung zwischen einem Nebenzwandler und einem Hauptwandler ist von dem für die Datenübertragung zwischen einem Sender und einem Empfänger verschieden. Für die Neben- und Hauptwandler nebst ihren jeweiligen peripheren Schaltungen müssen daher zwei Schaltkreisarten konstruiert und auf einer (gedruckten) Leiterplatte montiert werden. Hierdurch erhöhen sich die Kosten für Konstruktion, Teilehaltung, Verwaltung und dgl. Insbesondere bei einer vergrößerten Zahl von Nebenzwählern steigen diese Kosten entsprechend an.

Aufgabe der Erfindung ist damit die Schaffung eines Verfahrens zum Übertragen bzw. Senden von Mehrfachseriensignalen, mit dem eine Kostensenkung realisierbar ist.

Diese Aufgabe wird durch die im Patentanspruch 1 gekennzeichneten Merkmale gelöst.

Bei einem Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen werden Parallelsignale durch mehrere in einem Sender (oder auch Geber) vorgesehene Parallel/Serienwandler in Seriensignale umgewandelt, die durch eine Anzahl von in einem Empfänger vorgesehenen Serien/Parallelwählern in Parallelsignale umgewandelt werden; Mehrfachseriensignale werden zwischen dem Sender und dem Empfänger über einen Übertragungskanal übertragen, in welchem die mehreren Parallel/Serienwandler und die mehreren Serien/Parallelwandler in Reihe geschaltet sind; das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serienwandler und das Format für die dem Kanal nachgeschalteten Serien/Parallelwandler weisen dabei jeweils das gleiche Format auf.

Weiterhin sind die Parallel/Serienwandler und die Serien/Parallelwandler mit integrierten Schaltkreisen bzw. ICs mit jeweils einer Übertragungsgeschwindigkeit-Wählfunktion aufgebaut, welche ICs für Datenübertragung geschaltet sind.

Zudem entspricht das gemeinsame Format für die Parallel/Serienwandler und die Serien/Parallelwandler den Formaten des Start/Stop-Synchronisierstyps.

Erfindungsgemäß sind für Datenübertragung die mehreren Parallel/Serienwandler und die mehreren Serien/Parallelwandler in Reihe geschaltet; das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serienwandler und das Format für die dem Kanal nachgeschalteten Serien/Parallelwandler weisen dabei jeweils das gleiche Format auf. Mit der Erfindung wird mithin die oben angegebene Kostensenkung erzielt.

Ferner sind die Parallel/Serienwandler und die Serien/Parallelwandler mit integrierten Schaltkreisen bzw. ICs mit jeweils einer Übertragungsgeschwindigkeit-Wählfunktion aufgebaut. Die Wandler können somit getrennt montiert oder eingebaut sein. Beispielsweise wird für einen Anwender, der die Nebenzwandler nicht benutzt, das ihm gelieferte Signalübertragungssystem unter Weglassung der Nebenzwandler konstruiert, was eine Kostensenkung ergibt.

Weiterhin sind für Datenübertragung oder -senden die mehreren Parallel/Serienwandler und die mehreren Serien/Parallelwandler in Reihe geschaltet, und das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serienwandler und das Format für die dem Kanal nachgeschalteten Serien/

Parallelwandler sind jeweils die gleichen Formate des Start/Stop-Synchronisiertyps. Aufgrund dieser Ausgestaltung können handelsübliche ICs für die Nebenwandler benutzt werden, was ebenfalls zur oben erwähnten, angestrebten Kostensenkung beiträgt.

Im folgenden sind bevorzugte Ausführungsformen der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1 eine perspektivische Darstellung eines Signalübertragungssystems, bei dem ein Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen gemäß der Erfindung angewandt wird,

Fig. 2 ein Blockschaltbild eines im Signalübertragungssystem nach Fig. 1 verwendeten Absolutstellungsgebers,

Fig. 3 ein Blockschaltbild einer Steuereinheit des Signalübertragungssystems nach Fig. 1,

Fig. 4 ein Zeitsteuerdiagramm zur Erläuterung der Arbeitsweise des Stellungsgebers (encoder) gemäß Fig. 2,

Fig. 5 ein Zeitsteuerdiagramm zur Erläuterung der Arbeitsweise der Steuereinheit nach Fig. 3,

Fig. 6 ein Zeitsteuerdiagramm zur beispielhaften Veranschaulichung der Arbeitsweise einer Vierfachimpuls/Richtung-Detektorschaltung und eines Aufwärts/Abwärtszählers beim Absolutstellungsgeber nach Fig. 2,

Fig. 7 ein Diagramm zur Erläuterung von Formaten B und B',

Fig. 8 ein Zeitsteuerdiagramm zur Erläuterung der Arbeitsweise eines Parallel/Serien-Nebenwandlers und eines Hauptwandlers,

Fig. 9 ein Zeitsteuerdiagramm zur Erläuterung der Arbeitsweise eines Serien/Parallel-Nebenwandlers und eines -Hauptwandlers,

Fig. 10 ein Schaltbild eines Impulsgenerators,

Fig. 11 ein Blockschaltbild eines Hauptteils eines Signalübertragungssystems, bei dem ein Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen gemäß einer zweiten Ausführungsform der Erfindung angewandt wird,

Fig. 12 ein Diagramm zur Darstellung der Beziehung zwischen Formaten A<sub>0</sub> und B<sub>0</sub>' (B<sub>0</sub>) bei einem Signalübertragungssystem, bei dem ein Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen gemäß einer dritten Ausführungsform der Erfindung angewandt wird, und

Fig. 13 ein Diagramm der Datenformate nach Fig. 12, deren Zeitachse verkürzt ist.

Das in den Fig. 1 bis 3 dargestellte Signalübertragungssystem wird z. B. beim Arm eines Arbeitsautomaten verwendet.

Gemäß Fig. 1 ist an einer End- oder Stirnfläche der Hauptwelle 1a eines bürstenlosen Motors 1 ein scheibenförmiger Magnetpol-Detektormagnet 2 montiert, der so magnetisiert ist, daß N-Pole und S-Pole einander in der Umfangsrichtung abwechseln, und der Stellungen- und Daten für Ansteuerung von U-, V- und W-Phasen erzeugt oder liefert. Unter dem Magnetpol-Detektormagneten 2 ist ein scheibenförmiger magnetischer Datenträger (recording medium) 3 angeordnet, der zum Ausgeben von Stellungen- und Daten für die Z-, A- und B-Phasen dient und aus zwei Stufen besteht, von denen die obere Stufe zwei in der Umfangsrichtung angeordnete Magnetpole N und S aufweist, während die N- und S-Pole der unteren Stufe einander in der Umfangsrichtung abwechselnd angeordnet sind.

Der bürstenlose Motor 1 ist mit einem Absolutstellungsgeber 4 zum Erfassen oder Abgreifen von Stellungen- und Daten der Phasen A, B, Z, U und V und von Absolutstellungsdaten des Motors versehen. Innerhalb eines Gehäuses 44 (der Einfachheit halber in gestrichelten Linien eingezeichnet) des Absolutstellungsgebers 4 sind Hall-Elemente 4a und ein MR-Sensor 4b jeweils in Gegenüberstellung zu den magnetisierten Flächen des Magnetpol-Detektormagneten 2 bzw. des magnetischen Datenträgers 3 angeordnet. Die Hall-Elemente 4a sind an der Rückseite der Grundplatte eines Signalprozessors 17 montiert, der erste und zweite Wellenformschaltungen 4c bzw. 4d, eine Vierfachimpuls/Richtung-Detektorschaltung 40, einen Aufwärts/Abwärtszähler 5, einen Parallel/Serien-Hauptwandler 6, eine Sende- oder Übertragungs-Hauptsteuerung 50, einen ersten CRC-Bitaddierer 51, einen Absolutzähler 43, einen Gesamt(strom)versorgungsspannungsabfall-Detektor 70, einen Sensor 71 für anomale Temperatur, ein 26-Bit-Verriegelungsglied 72, einen Parallel/Serien-Nebenwandler 130, eine Übertragungs-Nebensteuerung 74, einen zweiten CRC-Bitaddierer 52, einen Feldzahlgenerator 73, einen Leitungstreiber 8, einen 5-V-Stromquellenanschluß 18a, einen Reserve- oder Stützstromquellenanschluß 18b und eine Masse-Stromquelle 19 aufweist.

Gemäß Fig. 2 sind die Ausgangsleitungen der Hall-Elemente 4a und des MR-Sensors 4b an die ersten und zweiten Wellenformschaltungen 4c bzw. 4d angeschlossen. Die A- und B-Phasen-Ausgangsleitungen der zweiten Wellenformschaltung 4d sind an die Vierfachimpuls/Richtung-Detektorschaltung 40 zum Umwandeln des empfangenen Signals in ein Vierfachimpulssignal sowie ein Aufwärts/Abwärtssignal angeschlossen. Die Ausgangsleitungen der Vierfachimpuls/Richtung-Detektorschaltung 40 und die Ausgangsleitung der Übertragungs-Hauptsteuerung 50 sind mit dem 6-Bit-Aufwärts/Abwärtszähler 5 zum Hoch- oder Herabzählen des empfangenen Signals entsprechend einem Vor- oder Nacheilen der Phase der A- und B-Phasen verbunden. Die Ausgangsleitung des Aufwärts/Abwärtszählers 5 ist an den Parallel/Serien-Hauptwandler 6 angeschlossen. Die Ausgangsleitungen für die anderen Phasen (Z, U, V und W) sind über die erste Wellenformschaltung 4c an den Parallel/Serien-Hauptwandler 6 angeschlossen.

Die Ausgangsleitungen der zweiten Wellenformschaltung 4d sind auch mit dem Absolutzähler 43 verbunden. Das 26-Bit-Verriegelungsglied 72 ist mit den Ausgangsleitungen des Absolutzählers 43, dem Gesamt(strom)versorgungsspannungsabfall-Detektor 70 zur Lieferung eines Alarmsignals, wenn die Versorgungsspannungen der Stromquelle, einschließlich einer Stütz- oder Reservestromquelle, abfallen, und mit dem Sensor 71 für anomale Temperatur angeordneten Signals sowie der Signalleitung der Übertragungs-Nebensteuereinheit 74 zum Wählen der Daten verbunden. Eine Inkrementalsignalleitung der Übertragungs-Nebensteuereinheit 74 ist mit dem Feldzahlgenerator 73 zum Erzeugen eines 2-Bit-Feldzahlsignals verbunden. Der Parallel/Serien-Nebenwandler 130 ist mit den Ausgangsleitungen des Feldzahlgenerators

Der Parallel/Serien-Hauptwandler 6 und der Parallel/Serien-Nebenwandler 130 sind als einzige Schaltung ausgestaltet. Das gleiche gilt für den ersten CRC-Bitaddierer 51 und den zweiten CRC-Bitaddierer 52, die Übertragungs-Hauptsteuerung (controller) 50 und die Übertragungs-Nebensteuerung 74 im Sender sowie den Serien/Parallel-Hauptwandler 15 und den Serien/Parallel-Nebenwandler 131 und auch den ersten Fehlerzähler 48 und den zweiten Fehlerzähler 87 im Empfänger. Der Grund hierfür wird später noch näher erläutert werden.

Die Steuereinheit 16 und der bürstenlose Motor 1 (Fig. 1) sind über das Motorkabel 31 miteinander so verbunden, daß die Steuereinheit 16 den Motor 1 ansteuert.

Im folgenden ist die Arbeitsweise des Signalübertragungssystems mit dem beschriebenen Aufbau erläutert.

Zum Ansteuern des Motors 1 wird ein Ansteuerstrom oder -potential von der Steuereinheit 16 über das Motorkabel 31 dem Motor 1 zugespeist. Daraufhin beginnt sich die Hauptwelle 1a des Motors 1 zu drehen, so daß ein Magnetfeld unter dem Einfluß des Magnetpol-Detektormagneten 2 und des magnetischen Datenträgers 3 zu variieren beginnt. Die Variation bzw. Änderung des Magnetfelds wird mittels der Hall-Elemente 4a in Form von Ansteuerstellungsdaten der Phasen U, V und W abgegriffen. Der MR-Sensor 4b erfaßt die Magnetfeldänderung in Form von Stellungsdaten der Phasen Z, A und B und erzeugt oder liefert die Phasen A und B in Form einer Sinuswelle. Die Datensignale Vu, Vv, Vw, Vz, Va und Vb (vgl. Fig. 2) werden den ersten und zweiten Wellenformschaltungen 4c bzw. 4d eingespeist, in denen sie einer Wellenformung zu Rechteckwellensignalen unterworfen werden. Letztere sind als wellengeformte Phasen A und B in den Fig. 4(a) und 4(c) dargestellt. Diese wellengeformten Signale A und B (inkrementale Signale) werden in der Vierfachimpuls/Richtung-Detektorschaltung 40 in Impulssignale, deren Frequenz vervierfacht (quadrupled) ist oder wird, und ein Aufwärts/Abwärtsignal umgewandelt. Das Vierfachimpulssignal und das Aufwärts/Abwärtsignal werden dem 6-Bit-Aufwärts/Abwärtszähler 5 eingespeist, in welchem diese Signale hoch- oder herabgezählt werden.

Die Arbeitsweise der genannten Detektorschaltung 40 und des Aufwärts/Abwärtszählers 5 ist in Fig. 6 beispielhaft dargestellt.

Wie dargestellt, wird ein Vierfachimpuls (a) an den Flanken (Nulldurchgangspunkten der Signale) der Signale A und B erzeugt. Ein Aufwärts/Abwärtsignal (b) weist einen Auf- oder Abwärtsmodus des Aufwärts/Abwärtszählers 5 nach Maßgabe eines Vor- oder Nacheilens der Phase der Signale A und B an. Wenn die Phase B voreilt, weist das Auf/Abwärtsignal (b) einen Abwärtsmodus an. Wenn die Phase A voreilt, weist es einen Aufwärtsmodus an. Ein Zählerwert bzw. Zählstand (c) des Aufwärts/Abwärtszählers 5 wird in Abhängigkeit vom Vierfachimpuls (a) und vom Auf/Abwärtsignal (b) stufenweise verändert.

Bei dieser Ausführungsform tastet oder fragt (samples) der Aufwärts/Abwärtszähler 5 einen Zählstand in festen Zeitintervallen in Abhängigkeit von einem Abtast- oder Abfragesignal (Fig. 4(e)) von der Übertragungs-Hauptsteuerung 50 ab. Wenn der abgetastete Zählstand in den Parallel/Serien-Hauptwandler 6 geladen wird oder ist, löscht der Aufwärts/Abwärtszähler 5 seinen Inhalt in Abhängigkeit von einem Löschesignal (Fig. 4(f)) von der Übertragungs-Hauptsteuerung 50. Die vorliegende Ausführungsform ist so ausgelegt, daß das Signal B gewöhnlich in seiner Phase gegenüber dem Signal A voreilt. Demzufolge variiert ein Zählstand des Aufwärts/Abwärtszählers 5 auf die in Fig. 4(d) gezeigte Weise.

Diese Zählstände werden als 6-Bit-Signale  $b_0$ — $b_5$  dem Parallel/Serien-Hauptwandler 6 eingespeist. Die wellengeformten Stellungsdatensignale U, V, W und Z werden dem Parallel/Serien-Hauptwandler 6 unmittelbar eingespeist.

Beim Signalübertragungssystem gemäß dieser Ausführungsform sind der Zählstand  $b_5$  das MSB (höchstwertige Bit) und der Zählstand  $b_0$  das LSB (niedrigstwertige Bit). Wenn die Phase B voreilt, gilt  $b_5 = 0$ . Wenn die Phase A voreilt, gilt  $b_5 = 1$ .

In den Fig. 4(b) und 4(c) in Kreisen stehende Ziffern entsprechen jeweils denen nach Fig. 4(d). Dies bedeutet, daß die Änderungspunkte der Phasen A und B in den Fig. 4(b) und 4(c) den jeweiligen Änderungen der Zählstände des Zählers entsprechen.

In Fig. 4(d) nicht in Kreisen stehende Ziffern geben Zählstände an.

Der Grund für die Verwendung des 6-Bit-Aufwärts/Abwärtszählers 5 ist nachfolgend beschrieben.

Unter der Voraussetzung einer Übertragungsgeschwindigkeit (oder -rate) des vom Parallel/Serien-Hauptwandler 6 ausgegebenen Seriensignals zu 500 Kbps bzw. Kb/s und des Formats des Seriensignals gemäß Fig. 4(a) dauert das Abtasten eines Felds (frame) 38  $\mu$ s. Unter der Annahme, daß bei jeder Umdrehung der Hauptwelle 1a 2048 Impulse der Phasen A und B ausgegeben werden und sich die Hauptwelle 1a mit einer Höchstdrehzahl von 5000/min dreht, entspricht die Frequenz des Vierfachimpulssignals:

$$5000/\text{min}: 60 \text{ s} \times 2048 \text{ Impulse} \times 4 = 682,7 \text{ kHz.}$$

Wie erwähnt, beträgt die Abtastperiode (sampling period) 38  $\mu$ s. Während dieser Periode wird mithin die folgende Zahl von Impulsen dem Zähler eingegeben:

$$682,7 \text{ kHz} \times 38 \mu\text{s} = 25,9 \text{ Impulse/Periode.}$$

Hierbei gilt  $25,9 < 31 = 2^5 - 1$ ; dabei reichen 6 Bits für den Zählstand des Aufwärts/Abwärtszählers 5 aus.

Das Signal von der zweiten Wellenformschaltung 4d wird ebenfalls dem Absolutzähler 43 eingespeist, der seinen Zählstand (oder Zählerwert) in Form von Signalen  $ad_0$ — $ad_{23}$  von 24 Bits ausgibt. Die 24-Bit-Signale  $ad_0$ — $ad_{23}$  sowie vom Gesamtspannungsabfalldetektor 70 und vom Anomaltemperatursensor ausgegebene 1-Bit-Fehlersignale werden dem 26-Bit-Verriegelungsglied 72 eingespeist, in welchem in Abhängigkeit von einem Datenwählsignal von der Übertragungs-Nebensteuerung 74 Daten von 26 Bits verriegelt werden, wobei für jeweils 8 Bits Daten zum Parallel/Serien-Nebenwandler übertragen werden.

Wenn die 5-V-Stromversorgungsspannung und die Stütz- oder Reservespannung unter eine vorgegebene

Spannung abfallen, erzeugt oder liefert der Gesamtspannungsabfalldetektor 70 0 als Anomalsignal. Wenn die Temperatur der Motorwicklung oder die Temperatur im Stellungsgeber eine vorgegebene Größe erreicht, liefert der Anomaltemperatursensor 71 0 als Anomalsignal.

Vom 26-Bit-Verriegelungsglied 72 ausgegebene 8-Bit-Daten werden dem Parallel/Serien-Nebenwandler 130  
5 eingespeist, und ihm wird auch die Feldzahl (frame number) eingegeben. Der Parallel/Serien-Nebenwandler 130 erzeugt Seriensignale ad mit dem Format gemäß den Fig. 7(a) bis 7(d). Für die Seriensignale werden vier mit (a) bis (d) bezeichnete Felder (frames) zur Bildung einer vollständigen Dateneinheit kombiniert.

Als Code wird bei dieser Ausführungsform der Manchester-Code benutzt, bei dem gemäß Fig. 9(a) dann, wenn das Bit gleich 0 ist, der Impuls am Mittelpunkt des Bits ansteigt, und dann, wenn das Bit gleich 1 ist, der  
10 Impuls abfällt (dieses Format wird als noch näher zu beschreibendes Format B bezeichnet).

Das Absolutseriensignal, der 6-Bit-Auf/Abwärtszählstand und die Stellungsdatensignale U, V, W und Z werden dem Parallel/Serien-Hauptwandler 6 eingespeist, der ein Seriensignal erzeugt, das auf die in Fig. 4(a) gezeigte Weise formatiert ist (dieses Format wird als Format A bezeichnet).

Im Format A beträgt die Übertragungsgeschwindigkeit — wie erwähnt — 500 Kb/s; die Übertragungszeit pro  
15 Feld beträgt 38  $\mu$ s.

In der angegebenen Figur stehen die Ziffern 20 für Rest- bzw. Ruheabstände (rest spaces) von 3 Bits; 21 für ein 1-Bit-Startbit von 0; 22 für 6-Bit-Auf/Abwärtszählstandbitsignale (auf das Startbit 21 folgend), die vom Aufwärts/Abwärtszähler 5 übertragen werden; 23 für von der ersten Wellenformschaltung 4c übertragene 1-Bit-Stellungsdatensignale von (für) U, V, W und Z (auf den Auf/Abwärtszählstand 22 folgend); 24 für ein 1-Bit-Signal  
20 ad (auf die Stellungsdatensignale 23 von U, V, W und Z folgend) der Absolutseriensignale, die einen Absolutzählstand von 24 Bits und ein Anomalsignal von 2 Bits enthalten, welche vom Parallel/Serien-Nebenwandler 130 übertragen werden; und 25 für ein CRC-Bitsignal von 4 Bits zum Prüfen einer Serie von Daten. Das CRC-Bit 25 wird durch ein Signal vom ersten CRC-Bitaddierer 51 zum Datensignal addiert. Die Ruheabstände (rest spaces) 20, das Startbit 21, die Auf/Abwärtszählstandbitsignale 22, das Stellungsdatensignal 23, das 1-Bit-Signal ad 24 der  
25 Absolutseriensignale und das CRC-Bit 25, d. h. insgesamt 19 Bits, bilden somit ein Feld. Die Übertragungszeit pro Bit beträgt somit:  $38 \mu\text{s} : 19 \text{ Bits} = 2 \mu\text{s}$ . Wie im Fall des Parallel/Serien-Nebenwandlers 130 wird der Manchester-Code benutzt, in welchem dann, wenn das Bit gleich 0 ist, der Impuls am Mittelpunkt des Bits ansteigt, und dann, wenn das Bit 1 ist, der Impuls abfällt.

Die Seriensignale eines Felds werden über den Leitungstreiber 8 und das Stellungsgeberkabel 9 zur Steuereinheit 16 übertragen, während die Übertragungsdaten nach Maßgabe der Detektions- oder Meßsignale von den  
30 Hall-Elementen 4a und vom MR-Sensor 4b aktualisiert werden. Diese Signale sind in festen Zeitperioden nach Maßgabe eines Abtastsignals und eines Löschsingals von der Übertragungs-Hauptsteuerung 50 abgetastet (sampled) worden.

Die Seriensignale werden vom Leitungsempfänger 14 der Steuereinheit 16 über das Stellungsgeberkabel 9 empfangen und durch den Serien/Parallel-Hauptwandler 15 in Parallelsignale umgewandelt. Im Augenblick des  
35 Prüfens (checked) des CRC-Bits 25, d. h. zu den Zeitpunkten gemäß Fig. 5(g), werden Daten generiert.

Die aus den Stellungsdaten U, V, W und Z resultierenden parallelen Stellungsdaten U', V', W' und Z' werden unmittelbar zur nachfolgenden Prozeßstufe übertragen. Die Absolutwertschaltung 45 bestimmt auf der Grundlage des Zählstands  $b_5$ , ob das empfangene Signal positiv oder negativ ist. Im Fall von  $b_5 = 0$  bestimmt sie, daß  
40 das empfangene Signal positiv ist. Im Fall von  $b_5 = 1$  bestimmt sie, daß das empfangene Signal negativ ist. Im Fall von  $b_5 = 1$  führt die Absolutwertschaltung die Berechnung von  $100\,000(2) - b_4 b_3 b_2 b_1 b_0(2)$  durch, und sie gibt das Rechenergebnis aus. Das Ausgangssignal besteht aus 5 Bits, die zu  $b_4' b_3' b_2' b_1' b_0'$  codiert sind oder werden.

Die in Klammern stehende Zahl steht für ein Zahlensystem, d. h. (2) gibt eine binäre Zahl an.

Im folgenden ist die 1/12-Demultiplizierstufe, d. h. Teilerstufe 43A beschrieben.

Die Berechnung der nötigen Zahl von Bits des genannten Zählers zeigt, daß die Fähigkeit zum Erzeugen einer  
45 Höchstzahl von 26 Impulsen während 38  $\mu$ s für den Impulsgenerator 46 der nachgeschalteten Stufe ausreicht. Bei dieser Ausführungsform ist jedoch ein Taktsignal zum Erzeugen einer Zahl von 31 Impulsen für bzw. in 38  $\mu$ s erforderlich, um ein Zittern der Phasen A und B zu verringern (die entsprechenden Einzelheiten sind später beschrieben). Die Frequenz des benötigten Taktsignals beträgt

50 31 Impulse:  $38 \mu\text{s} = 815,8 \text{ kHz}$ .

Dies kann durch Demultiplizieren, d. h. Dividieren oder Teilen eines Grundtaktsignals von 10 MHz durch 12,3 erreicht werden:

55 10 MHz:  $815,8 \text{ kHz} = 12,3$ .

Aus diesem Grund wird die Teilerstufe 43A verwendet.

Das Ausgangssignal von der 1/12-Teilerstufe 43A, d. h. 31 Impulse des 10/12-MHz-Taktsignals, stimmt nicht  
60 genau mit 38  $\mu$ s überein. Zum Ausgleich dafür wird ein dem Seriensignal eines Felds entsprechendes Rücksetzsignal vom Serien/Parallel-Hauptwandler 15 an die 1/12-Teilerstufe angelegt; dieses Rücksetzsignal ist in Fig. 5(h) dargestellt. Nach Erzeugung des 31. Impulses des 10/12-MHz-Taktsignals wird die 1/12-Teilerstufe 43A rückgesetzt, um in ihrem Betrieb angehalten zu werden. Zum Zeitpunkt der Datenaufstellung oder -bildung (at the timing of the data setup) gemäß Fig. 5(g) wird das Rücksetzen der Teilerstufe 43A aufgehoben. Alle 1,2  $\mu$ s wird  
65 ein Impuls generiert. Das Intervall zwischen dem 31. Impuls und dem 1. Impuls beträgt 2,0  $\mu$ s.

Das dividierte (demultiplied) Signal von 31 Impulsen wird der 1/2<sup>n</sup>-Teilerstufe 44A eingespeist, in welcher diese Impulssignale zu fünf Impulsreihen unterschiedlicher Impulsdichten gemustert (patterned) werden. Bezüglich dieser Teilerstufe 44A und des noch zu beschreibenden Impulsgenerators 46 sei auf die Beschreibung auf

Seiten 154 – 157 in "DIGITAL CIRCUIT – FUNDAMENTAL AND APPLICATION" von Hiroshi Kawahara, ausgegeben am 15.10.1982 von Shokodo Corporation, verwiesen. Auf der Grundlage des Impulsverteilungsprinzips des MIT-Systems wird das 10/12-Taktsignal zu Taktsignalen gemäß den Fig. 5(j) bis 5(n) verteilt. (Taktsignal) CLK16 enthält geradzahlige Impulse; CLK8 enthält Impulse als Ergebnis der Division von 10/12 MHz durch 4 mit dem Rest 2; CLK4 enthält Impulse als Ergebnis dieser Division durch 8 mit dem Rest 4; CLK2 enthält Impulse als Ergebnis dieser Division durch 16 mit dem Rest 8; und CLK1 enthält Impulse als Ergebnis der Division durch 32 mit dem Rest 16.

Diese Impulssignale CLK16, CLK8, CLK4, CLK2 und CLK1 sowie die Ausgangssignale  $b_4$ ,  $b_3$ ,  $b_2$ ,  $b_1$ ,  $b_0$  von der Absolutwertschaltung 45 werden dem Impulsgenerator 46 eingegeben.

Gemäß Fig. 10 besteht der Impulsgenerator 46 aus UND-Gliedern 46a und einem ODER-Glied 46b. Der Generator wählt eine Kombination der Impulssignale CLK16, CLK8, CLK4, CLK2 und CLK1 entsprechend den Ausgangssignalen  $b_4$ ,  $b_3$ ,  $b_2$ ,  $b_1$ ,  $b_0$  und bildet eine logische Summe. Wenn  $b_4$ ,  $b_3$ ,  $b_2$ ,  $b_1$ ,  $b_0$  01101 (2) sind oder ergeben (im Mittelbereich von Fig. 5(o)), wird eine Kombination von CLK8, CLK4 und CLK1 gewählt, d. h. die 2., 4., 6., 10., 12., 14., 16., 18., 20., 22., 26., 28. und 30. Impulse des 10/12 MHz-Taktsignals werden gewählt und zusammenaddiert, wodurch ein Impulssignal gemäß Fig. 5(p) erzeugt wird. Gemäß Fig. 5(p) sind diese Impulse nahezu gleichmäßig und mit weniger Zittern verteilt. Die Ausgangssignale A' und B' des noch zu beschreibenden A/B-Phasengenerators 47 sind mit weniger Zittern behaftet.

Die Impulsreihe gemäß Fig. 5(p) wird dem A/B-Phasengenerator 47 eingespeist, der auf den Eingang der Impulsreihe hin die inkrementalen oder Teilsignale (incremental signals) A' und B' reproduziert. Der A/B-Phasengenerator 47 ist so ausgelegt, daß er seinen das Ausgangssignal vom Impulsgenerator 46 abnehmenden Eingang entsprechend dem 6-Bit-Zählstand  $b_5$  zwischen dem Aufwärts- und dem Abwärtseingang umschaltet. Im Fall vom  $b_5 = 0$  wird der Aufwärts-, im Fall von  $b_5 = 1$  der Abwärtseingang gewählt. Für die Rechteckwellenformen der Phasen A und B ist die Schaltung so ausgelegt, daß beim Hinzuaddieren eines Impulses zum Ausgangssignal des Impulsgenerators 46 die Phase der Phase B voreilt. Genauer gesagt: wenn der Aufwärtseingang gewählt ist, eilt die Phase B (phasenmäßig) vor; bei gewähltem Abwärtseingang eilt die Phase A vor. Die Ausgangssignale vom A/B-Phasengenerator 47 sind in den Fig. 5(q) und 5(r) dargestellt. Dabei eilt die Phase B vor.

Die Kanten- bzw. Flankenzeichen (1), (2), ... in den Fig. 4(b) und 4(c) entsprechen denen in Fig. 5(q) bzw. 5(r). Die Zeitverzögerungen beruhen auf der Serienübertragungsverzögerung und dem Warten auf Datenbildung (data setup). Die Zeitdifferenz beträgt 64  $\mu$ s. Für die Übertragungsverzögerung der Phasen A und B ergibt sich aus dieser Zahl kein Problem. Wenn die Übertragungsgeschwindigkeit oder -rate von 500 Kb/s auf 1 Mb/s erhöht wird, kann diese Übertragungsverzögerung weiter verringert werden.

Der erste Fehlerzähler 48 kann mittels des eingehenden CRC-Bits 25 einen Fehler detektieren. Bei Erfassung eines Fehlers erzeugt der erste Fehlerzähler 48 einen Einmal-Fehleralarm, und er überträgt oder überführt (transfers) ein Haltesignal zur Absolutwertschaltung 45 und zur Verriegelungsschaltung 49, wobei er die Daten  $b_5 - b_0$  U, V, W und Z sowie  $ad$  des vorher empfangenen Blocks benutzt. Da die Wiederbenutzung der Daten  $b_5 - b_0$  einer gleichmäßigen Rotation äquivalent ist, wird hierdurch kein Problem bezüglich der Rotation des Motors aufgeworfen. Die Wiederbenutzung der Daten U, V, W und Z wirft ebenfalls kein Problem auf, weil die Frequenz niedrig ist. Für die Daten  $ad$  erfaßt der zweite Fehlerdetektor 87 deren Fehler unter Benutzung der CRC-Bits oder aufgrund der Tatsache, daß der Code der Daten nicht der Manchester-Code ist. Wenn ein Fehler dreimal nacheinander auftritt, erzeugt die Dreifachfolge- oder Dreimal-Detektorschaltung 83 einen Dreimal-Fehleralarm.

Die vorliegende Ausführungsform ist so ausgelegt, daß bei Erzeugung (Auslösung) eines Einmal-Fehleralarms der Motor abgeschaltet wird, um dem Anwender das Auftreten eines Fehlers zu melden. Das System kann so ausgelegt sein, daß es für den Einmal-Fehleralarm unempfindlich ist (bzw. nicht darauf anspricht), aber auf einen Dreimal-Fehleralarm anspricht und den Motor abstellt, um dem Anwender das Auftreten eines Fehlers zu melden. In diesem Fall werden das häufige Abschalten oder die Fehlbetätigung des Motors vermieden, die durch Störsignal(e) hervorgerufen werden, weil die Daten  $b_5 - b_0$  des vorher empfangenen Blocks benutzt werden.

Beim Auftreten eines Dreimal-Fehlers (dreimal nacheinander vorkommenden Fehlers) bestimmt das System, daß es sich um einen echten Fehler handelt, z. B. der Kanal Gütegrad herabgesetzt ist, und es läßt die zugeordnete Schaltung einen Dreimal-Fehleralarm erzeugen oder auslösen.

In Fig. 3 ist das Indexzeichen "" zu den Symbolen für die reproduzierten Signale, wie A', B', U', V', W' und Z' sowie  $ad'$ , hinzugefügt. Der Grund dafür besteht darin, daß die reproduzierten Signale Übertragungsverzögerungen gegenüber den Signalen A, B, U, V, W und Z sowie  $ad$  aufweisen. Wie beschrieben, wird das Absolutsignal in Seriensignale, formatiert im Format A und übertragen, umgewandelt und reproduziert. Bei dieser Ausführungsform wird im Bestreben, jedes der Paare der folgenden Schaltungsblöcke als einzige(n) Schaltung oder Schaltkreis herzustellen, das gleiche Format für das Format A, das Format B und ein Format (als Format B' bezeichnet) vom Serien/Parallel-Hauptwandler 15 verwendet. Die genannten Paare von Schaltungsblöcken sind:

Im Sender der Parallel/Serien-Hauptwandler 6 und der Parallel/Serien-Nebenwandler 130, der erste CRC-Bit-addierer 51 und der zweite CRC-Bitaddierer 52, die Übertragungs-Haupt- und -Nebensteuerung 50 bzw. 74; und im Empfänger der Serien/Parallel-Hauptwandler 15 und der Serien/Parallel-Nebenwandler 131 sowie der erste und der zweite Fehlerzähler 48 bzw. 87.

Im folgenden ist das in den Fig. 7(a) bis 7(d) dargestellte Format B beschrieben.

Im Format B bilden die vier Felder (frames) (a)–(d) eine vollständigere Dateneinheit. Da nämlich der Datenteil (mit den Auf/Abwärtszählstandbitsignalen 22, dem Stellungsdatensignal 23 von (für) U, V, W und Z sowie dem 1-Bit  $ad$  24 der Absolutsignale) des Formats A nur aus 11 Bits besteht, ist es unmöglich, die Absolutdaten von 24 Bits und ein Anomalsignal von 2 Bits in einem Zustand zu übertragen (to transfer), in

welchem alle Daten in einem Feld gepackt sind.

Das 0. (0-te) Feld gemäß Fig. 7(a) ist nachstehend beschrieben. Die Ziffer 92 bezeichnet Ruheabstände (rest spaces) von 3 Bits vor der Datenübertragung. Die Ruheabstände 92 liegen auf einem hohen Pegel. Die Ziffer 93 bezeichnet ein 1-Bit-Startbit von 0, das auf die Ruheabstände 92 folgt und den Beginn der (des) Datenübertragung oder -sendens anzeigt; die Ziffer 94 bezeichnet einen auf das Startbit 93 folgenden 1-Bit-Leerraum; die Ziffer 95 bezeichnet (auf den Leerraum 94 folgende) Feldzahlbits von 2 Bits, die vom Feldzahlgenerator 73 erhalten sind und eine Stelle des derzeitigen Felds anzeigen; die Ziffer 96 bezeichnet Leerräume von 6 Bits, auf die Feldzahlbits 95 folgend; die Ziffer 97 bezeichnet ein Anomaltemperaturbit von 1 Bit (auf die Leerräume 96 folgend), das vom Anomaltemperatursensor 71 erhalten wird; die Ziffer 98 bezeichnet ein Gesamtversorgungsspannungs-Anomalbit von 1 Bit (auf das Anomaltemperaturbit 97 folgend), das vom betreffenden Spannungsabfall-Detektor 70 erhalten wird; und die Ziffer 99 steht für (auf das Gesamtversorgungsspannungs-Anomalbit 98 folgende) CRC-Bits von 4 Bits zum Prüfer einer Datenreihe (für Fehlerprüfung). Die CRC-Bits 99 werden mittels eines Signals vom zweiten CRC-Bitaddierer 52 zum Datensignal hinzuaddiert.

Ein Feld oder auch Rahmen (frame) besteht aus 19 Bits. Da das Format B den Manchester-Code benutzt, muß ein Signal unter Benutzung von zwei Pegeln gebildet werden. Die Übertragungszeit pro Bit beträgt somit:  $38 \mu\text{s}$  (Übertragungszeit des Formats A)  $\times 2 = 76 \mu\text{s}$ .

Die Übertragungsgeschwindigkeit entspricht 500 Kb/s (Übertragungszeit des Formats A):  $(19 \text{ (Zahl der Bits eines Felds des Formats A)} \times 2) = 500/38 \text{ Kb/s}$ .

Die Übertragungszeit eines Felds beträgt

$$76 \mu\text{s} \times 19 \text{ Bits} = 1,444 \text{ ms.}$$

Wenn der Manchester-Code nicht benutzt wird, wird das Glied " $\times 2$ " in obigen Gleichungen weggelassen. Dementsprechend beträgt die Übertragungsgeschwindigkeit für z. B. das Format B ersichtlicherweise 500/19 Kb/s.

Das Format B ist somit dem Format A gleich. Dies bedeutet, daß die Ruheabstände 92 aus 3 Bits bestehen und einen hohen Pegel aufweisen. Das Startbit 93 besteht aus 1 Bit und ist gleich 0. Die Zahl der Datenbits 94–98 beträgt 11 Bits. Die Zahl der CRC-Bits 99 beträgt 4 Bits. Die Regeln (Erzeugungspolynom) für die Bildung der CRC-Bits 99 und die Regeln für den Manchester-Code (wenn das Bit z. B. gleich 0 ist, steigt der Impuls am Mittelpunkt des Bits an; wenn das Bit gleich 1 ist, fällt der Impuls ab) sind die gleichen wie beim Format A.

Im ersten Feld, auf das 0. Feld folgend ausgegeben, sind gemäß Fig. 7(b) 8 Bits, einschließlich der Leerräume 96, des Anomaltemperaturbits 97 und des Gesamtversorgungsspannungs-Anomalbits 98, durch 8 Bits  $ad_{23}-16'$  hoher Ordnung vom Absolutzähler ersetzt. Im zweiten, auf das erste Feld folgend ausgegebenen Feld (Fig. 7(c)) sind diese Bits durch die 8 Bits  $ad_{15}-ad_8$  mittlerer Ordnung vom Absolutzähler ersetzt. Im dritten, nach dem zweiten Feld ausgegebenen Feld (Fig. 7(d)) sind diese Bits durch die 8 Bits  $ad_7-ad_0$  niedriger Ordnung vom Absolutzähler ersetzt. Die 0. bis 3. Felder gemäß den Fig. 7(a) bis 7(c) werden wiederholt ausgegeben.

Die ersten bis dritten Felder besitzen somit das gleiche Format A wie das 0. Feld. Diese vier Felder bilden eine vollständige Dateneinheit.

In den ersten bis dritten Feldern sind oder werden die Inhalte der Feldzahlbits 95, wie dargestellt, geändert, um die verschiedenen Feldzahlen zu bezeichnen.

Im folgenden sind die Zeitpunkte (timings) des Aussendens der im Format B formatierten Absolutseriensignale beschrieben.

Für das Absolutseriensignal werden die als nächstes abzusendenden (sent out) Daten zu den (mit Z bezeichneten) Zeitpunkten eines Absolutseriensignal-Eingangstaktsignals (1/19 von 500 kHz des Grundtaktsignals) aufgestellt (set up) (vgl. Fig. 8(c), 8(g) und 8(k)). Der Parallel/Serien-Hauptwandler 6 hat ein Eingangsabtastsignal (Fig. 8(b), 8(f) und 8(j)) von der Übertragungs-Hauptsteuerung 50 abgenommen und ruft das Absolutseriensignal (Fig. 8(d), 8(h) und 8(l)) ab, das zu den Zeitpunkten des Eingangsabtastsignals aufgestellt wird, und er setzt das Absolutseriensignal im Teil des Serienbits  $ad$  und sendet dieses zum Empfänger.

Wenn nach Empfang des CRC-Bits 25 (Fig. 9(b), 9(d) und 9(f)) kein Fehler vorliegt, stellt der Serien/Parallel-Hauptwandler 15 die Empfangsdaten auf, und er ändert die Daten zur Zeit der Ruhe (rests) des Formats A und sendet ein Absolutseriensignal (Fig. 9(c), 9(e) und 9(g)) zum Serien/Parallel-Nebenwandler 131. Im Format B' des Absolutseriensignals sind zwei Pegel zum Reproduzieren des Manchester-Codes aus dem Serienbit  $ad$  nötig. Dementsprechend betragen, wie beim Parallel/Serien-Nebenwandler 130, die Übertragungszeit pro Bit  $38 \mu\text{s}$  und die Übertragungsgeschwindigkeit 500 Kb/s (Übertragungsgeschwindigkeit des Formats A):  $[19 \text{ (Zahl der Bits eines Felds des Formats A)} \times 2] = 500/38 \text{ Kb/s}$ . Wenn der Manchester-Code nicht benutzt wird, beträgt selbstverständlich die Übertragungsgeschwindigkeit des Formats B' 500/19 Kb/s.

Wie beschrieben, ist das Format B' des vom Serien/Parallel-Hauptwandler 15 ausgegebenen Datensignals das gleiche wie das Format B gemäß Fig. 7. Ein Teil des Formats B' ist in den Fig. 9(c), 9(e) und 9(g) dargestellt. Ersichtlicherweise ist dies das gleiche wie im Sender. Jeweils nach  $38 \mu\text{s}$  nach dem Start werden sechs Einsen (1's) aufeinanderfolgend in der Form 1, 1, 1, 1, 1, 1 ausgegeben. Diese werden als drei Reste (rests) mit  $76 \mu\text{s}$  als 1 Bit (1, 1 bilden einen Rest) reproduziert. Die folgenden 0, 1 geben 0 (Anstieg) des Startbits an, und die nächsten 0, 1, 0, 1 zeigen an, daß die Daten als 0, 0 fortgesetzt werden.

Die folgenden 9-Bitdaten und das CRC-Bit sind der Einfachheit halber weggelassen.

Das überlagerte Absolutseriensignal wird somit durch den Manchester-Code ausgedrückt, in welchem die Übertragungsgeschwindigkeit 500/38 Kb/s beträgt, während im Format A die Übertragungsgeschwindigkeit 500 Kb/s und die Übertragungszeit pro Feld  $38 \mu\text{s}$  betragen.



Für die Handhabung der Übertragungsgeschwindigkeit von 500/38 Kb/s benutzt die vorliegende Ausführungsform die 1/38-Teilerstufe 84 zum Dividieren von 10 MHz des Grundtaktsignals zu (durch) 1/38. Das Ausgangssignal der 1/38-Teilerstufe 84 wird dem Serien/Parallel-Nebenwandler 131 eingegeben. Für die Absolutdaten bilden eine Zahl von 4 der Formatdaten B' eine vollständige Dateneinheit. Die erforderliche Zeit beträgt

$$19 \text{ Bits} \times 76 \mu\text{s} \times 4 (\text{mal}) = 5,776 \text{ ms.}$$

Der Absolutzahlstand wird für Prüfung der gegebenen Stellung, nicht für Rückkopplungsregelung benutzt. Folglich ergibt sich aus dieser Zeit kein Problem.

Das Ausgangssignal vom Serien/Parallel-Nebenwandler 131 wird dem Demultiplexer 86 eingegeben und in den 0.—3. Feldverriegelungsgliedern 88—91 entsprechend einer vom Feldzahldiskriminator 85 ausgegebenen Feldzahl verriegelt. Das 0. Feldverriegelungsglied 88 liefert Information bezüglich des Gesamtversorgungsspannungsabfalls und ob die Motortemperatur anomal ansteigt. Das 1. Feldverriegelungsglied 89 liefert die 8 Bits ( $ad_{23} - ad_{16}$ ) hoher Ordnung des Absolutzählers. Das 2. Feldverriegelungsglied 90 liefert die 8 Bits ( $ad_{15} - ad_8$ ) mittlerer Ordnung des Absolutzählers. Das 3. Feldverriegelungsglied 91 liefert die 8 Bits ( $ad_7 - 0$ ) niedriger Ordnung des Absolutzählers.

Der zweite Fehlerdetektor 87 ist ausgelegt zum Erfassen eines Fehlers von eingehenden CRC-Bits 99 (vgl. Fig. 7). Bei Erfassung eines Fehlers erzeugt der Detektor einen Einmal-Fehleralarm, um einem Anwender das Auftreten eines Fehlers zu melden.

Wie beschrieben, benutzt diese Ausführungsform das gleiche Format für das Format A (Format vom Parallel/Serien-Hauptwandler 6), das Format B (Format vom Parallel/Serien-Nebenwandler 130) und das Format B' (Format vom Serien/Parallel-Hauptwandler 15). Jedes der Paare der folgenden Schaltungsblöcke kann als einzige Schaltung hergestellt werden: Im Sender: Parallel/Serien-Hauptwandler 6 und Parallel/Serien-Nebenwandler 130, erster und zweiter CRC-Bitaddierer 51 bzw. 52, Übertragung-Hauptsteuerung 50 und Übertragung-Nebensteuerung 74; und im Empfänger: Serien/Parallel-Haupt- und -Nebenwandler 15 bzw. 131 sowie erster und zweiter Fehlerzähler 48 bzw. 87. Auf diese Weise wird eine Kostensenkung für Konstruktion, Teilehaltung, Verwaltung und dgl. realisiert.

Die Übertragungsgeschwindigkeit des Formats B und des Formats B' ist 1/38mal so hoch wie die des Formats A. Demzufolge muß die Frequenz des dem Parallel/Serien-Nebenwandler 130 und dem Serien/Parallel-Nebenwandler 131 eingegebenen Taktsignals auf 1/38 verringert werden.

Fig. 11 ist ein Blockschaltbild eines Hauptteils eines Signalübertragungssystems für ein Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen gemäß einer zweiten Ausführungsform der Erfindung.

Die Anordnung der zweiten Ausführungsform ist im folgenden beschrieben. Im Sender sind die Ausgangsklemmen von Parallel/Serien-Nebenwandlern 101 und 102 an die Eingangsklemme eines Parallel/Serien-Hauptwandlers 100 angeschlossen. Ein Parallel/Serien-Nebenwandler 103 ist mit der Eingangsklemme des Parallel/Serien-Nebenwandlers 101 verbunden. Im Empfänger sind die Eingangsklemmen von Serien/Parallel-Nebenwandlern 105 und 106 an die Ausgangsklemme eines Serien/Parallel-Hauptwandlers 104 angeschlossen. Die Eingangsklemme eines Serien/Parallel-Nebenwandlers 107 ist mit der Ausgangsklemme des Serien/Parallel-Nebenwandlers 105 verbunden.

Diese Wandler sind jeweils mit bzw. aus gemeinsamen ICs aufgebaut, so daß alle Parallel/Serien-Wandler 100—103 elf Eingangsklemmen und eine Ausgangsklemme und alle Serien/Parallelwandler 104—107 eine Eingangsklemme und elf Ausgangsklemmen aufweisen. Die Wandler 100—107 sind mit Wählklemmen oder -anschlüssen versehen, mit deren Hilfe die Sendeübertragungsgeschwindigkeit in den Parallel/Serien-Wandlern 100—103 und die Empfangsübertragungsgeschwindigkeit in den Serien/Parallelwandlern 104—107 gewählt werden.

Bei der zweiten Ausführungsform werden ein Format D für Datenübertragung zwischen den Parallel/Serien-Nebenwandlern 101 und 103, ein Format C für Datenübertragung zwischen dem Parallel/Serien-Nebenwandler 102 und dem -Hauptwandler 100, ein Format B für Datenübertragung zwischen dem Parallel/Serien-Nebenwandler 101 und dem -Hauptwandler 100, ein Format A für Datenübertragung zwischen dem Parallel/Serien-Hauptwandler 100 und dem Serien/Parallel-Hauptwandler 104, ein Format B' für Datenübertragung zwischen dem Serien/Parallel-Hauptwandler 104 und dem Serien/Parallel-Nebenwandler 105, ein Format C' für Datenübertragung zwischen dem Serien/Parallel-Hauptwandler 104 und dem Serien/Parallel-Nebenwandler 106 und ein Format D' für Datenübertragung zwischen dem Serien/Parallel-Nebenwandler 105 und dem Serien/Parallel-Nebenwandler 107 benutzt. Alle Formate A, B, B', C, C', D, D' sind, wie bei der ersten Ausführungsform, mit gleichem Aufbau ausgelegt, und zwar wie folgt: Die Bitzahl der Ruheabstände oder -räume beträgt 3 Bits hohen Pegels; ein Startbit besitzt die Zahl 1 und (den Pegel) "0"; die Zahl der Bits für den Datenbitteil beträgt 11; die Zahl der Bits für den CRC-Beitrag beträgt 4; die Regeln (Erzeugungspolynome) zum Erzeugen oder Generieren der CRC-Bits sowie die Regeln für den Manchester-Code (z. B.: wenn das Bit 0 ist, steigt der Impuls am Mittelpunkt des Bits an; wenn das Bit gleich 1 ist, fällt der Impuls ab) sind die gleichen wie beim Format B.

Die Übertragungsgeschwindigkeit jedes dieser Formate (vgl. Fig. 11) wird beim jedesmaligen Durchgang durch den Wandler mit 1/38 (Zahl der Bits eines Felds  $\times$  2) multipliziert. Zur Änderung der Übertragungsgeschwindigkeit sind die Wandler mit den Wählklemmen versehen.

Das so aufgebaute Signalübertragungs- oder -sendesystem gemäß der zweiten Ausführungsform vermag selbstverständlich die gleichen Nutzeffekte wie das System nach der ersten Ausführungsform zu gewährleisten. Die Parallel/Serien-Wandler 100—103 und die Serien/Parallel-Wandler 104—107 sind mit oder aus den getrennten ICs, die jeweils die Übertragungsgeschwindigkeit-Wählfunktionen aufweisen, aufgebaut. Diese Wandler können somit getrennt montiert werden, was für die Senkung der Herstellungskosten für das System sehr

günstig ist. Beispielsweise wird für einen Anwender, der die Nebenzwandler nicht benutzt, d. h. die Absolutdaten im Empfänger nach Fig. 3 nicht benötigt, das ihm gelieferte Signalübertragungssystem unter Weglassung der Nebenzwandler konstruiert.

Bei der Konstruktion einer Art des Parallel/Serien-Wandler-ICs mit der Wählklemme und einer Art der Seri n/Parallel-Wandler-ICs kann ein Konstrukteur durch zweckmäßige Kombination dieser Wandler-ICs verschiedene Arten solcher Systeme entwerfen.

Die Nebenzwandler können in Reihen- oder Kaskadenschaltung geschaltet sein.

Eine dritte Ausführungsform ist nachstehend anhand der Fig. 12 und 13 beschrieben.

Fig. 12 zeigt in einem Diagramm die Beziehung zwischen einem Format Ao von Daten, die vom Parallel/Serien-Hauptwandler 6 zum Serien/Parallel-Hauptwandler 15, die bei der ersten Ausführungsform verwendet werden, gesandt werden, und einem Format Bo' (ein Format Bo der vom Parallel/Serien-Nebenzwandler 130 zum Parallel/Serien-Hauptwandler 6 gesandten Daten ist das gleiche wie das Format Bo') der vom Serien/Parallel-Hauptwandler 15 zum Serien/Parallel-Nebenzwandler 131 gesandten Daten. Fig. 13 zeigt in einem Diagramm die Datenformate nach Fig. 12, bei denen die Zeitachse verkürzt ist.

Bei der dritten Ausführungsform ist das Format Ao von den Formaten Bo und Bo' verschieden. Die Formate Bo und Bo' sind die gleichen Formate des Start/Stop-Synchronisiertyps.

Ein Feld des Formats Ao (Fig. 12) enthält einen Rest- oder Ruheabstand bzw. -raum 110 von 9 Bits; ein Startbit 111 aus 8 Bits, die auf den Ruheabstand bzw. -raum 110 folgen; einen Auf/Abwärtszählwert oder -stand 112 aus 6 Bits (auf das Startbit 111 folgend), der vom Aufwärts/Abwärtszähler 5 übertragen ist; (auf den Auf/Abwärtszählstand 112 folgende) Stellungsdatensignale 113 von U, V, W und Z, die von der ersten Wellenformschaltung 4c übertragen sind; ein 1-Bit ad 114 (auf die Stellungsdatensignale 113 folgend) der einen Absolutzählstand und ein Anomalsignal enthaltenden, vom Parallel/Serien-Nebenzwandler 130 übertragenen Absolutseriensignale; und einen (auf das 1-Bit ad 114 des Absolutseriensignals folgenden) CRC-Bitteil aus 4 Bits zum Prüfen einer Reihe bzw. Serie von Daten. Die Übertragungszeit pro Feld (32 Bits) beträgt etwa 52,08  $\mu$ s (genau 1/19 200 Hz). Die Übertragungszeit pro Bit beträgt etwa 1,6275  $\mu$ s (1/19 200 Hz  $\times$  32 Bits).

Ein Feld des Formats Bo (Bo') des Start/Stop-Synchronisiertyps (Fig. 13(b)) umfaßt einen Ruheabstand 120 aus 3 Bits; einen auf einem niedrigen Pegel (0) fixierten 1-Bit-Startbitteil 121, welcher auf den Ruheabstand 120 folgt; einen auf den 1-Bit-Datenbitteil 121 folgenden Datenbitteil 122 aus 7 Bits; einen auf letzteren folgenden Paritätsbitteil 123 aus einem Bit; und einen auf letzteren folgenden, auf einem hohen Pegel (1) fixierten Stopbitteil 124 (vgl. das 0. oder 0-te Zeichen). Ein Feld dieses Formats besteht aus 13 Bits; die Übertragungsgeschwindigkeit eines Felds beträgt 677  $\mu$ s. Die Bitteile des Formats benutzen Pegel zum Ausdrücken von Information, benutzen aber nicht den Manchester-Code.

Für den Datenbitteil wird der ASCII-Code benutzt. Insgesamt acht ASCII-Codes werden zum Ausdrücken eines Absolutzählstands und eines Anomalsignals aus zwei Bits benutzt. Dementsprechend werden 0.—7. Zeichen (characters) für die deutliche Angabe dieser Dateneinheiten benutzt. Die Inhalte dieser Zeichen sind, in Tabelle 1 angegeben.

Tabelle 1

Zeichen Nr.	Inhalt	Anmerkungen
0. Zeichen	"S"	Start
1. Zeichen	"0" bis "3"	Fehlerinformation von 2 Bits
2. Zeichen	"0" bis "F"	ad <sub>23</sub> ' - ad <sub>20</sub> ' des Absolutzählers
3. Zeichen	" "	ad <sub>19</sub> ' - ad <sub>16</sub> ' " "
4. Zeichen	" "	ad <sub>15</sub> ' - ad <sub>12</sub> ' " "
5. Zeichen	" "	ad <sub>11</sub> ' - ad <sub>8</sub> ' " "
6. Zeichen	" "	ad <sub>7</sub> ' - ad <sub>4</sub> ' " "
7. Zeichen	" "	ad <sub>3</sub> ' - ad <sub>0</sub> ' " "

Gemäß Tabelle 1 geben die Zeichen folgendes an: Das 0. Zeichen den Start; das 1. Zeichen eine Fehlerinformation aus 2 Bits, entsprechend dem 0. Feld; das 2. Zeichen ad<sub>23</sub>'—ad<sub>20</sub>' des Absolutzählers, das 3. Zeichen ad<sub>19</sub>'—ad<sub>16</sub>' des Absolutzählers; das 4. Zeichen ad<sub>15</sub>'—ad<sub>12</sub>' des Absolutzählers; das 5. Zeichen ad<sub>11</sub>'—ad<sub>8</sub>' des Absolutzählers; das 6. Zeichen ad<sub>7</sub>'—ad<sub>4</sub>' des Absolutzählers; und das 7. Zeichen ad<sub>3</sub>'—ad<sub>0</sub>' des Absolutzählers. Die Übertragungszeit und die Reproduktions- oder Wiedergabezeit eines Absolutzählers betragen jeweils etwa 5,4 ms (8 Zeichen  $\times$  13 Bits/19 200 Hz).

Bei dieser Ausführungsform werden Absolutseriensignale vom Parallel/Serien-Nebenzwandler 130 zum Parallel/Serien-Hauptwandler 6 unter Benutzung des Formats des Start/Stop-Synchronisiertyps gemäß Fig. 13(b) übertragen. Die Übertragungsgeschwindigkeit eines Felds des Formats Ao ist gleich derjenigen im RS232C-Pro-

DE 33 22 000 A1  
tokoll, das für das Datenübertragen oder -senden mittels sog. Personal-Rechner weitverbreitet ist. Infolgedessen können für die Serien/Parallel-Nebenwandler 131 handelsübliche ICs, die mit einer solchen Übertragungsgeschwindigkeit zu arbeiten vermögen, wie ICs von UART oder allgemeine Mikroprozessor-ICs mit UART, verwendet werden.

Bei dieser Ausführungsform ist die Übertragungsgeschwindigkeit eines Felds des Formats Aa auf 19 200 Bps bzw. B/s gesetzt. Das RS232C-Protokoll schreibt andere Übertragungsgeschwindigkeiten, wie 300, 600, 1200, 4800 und 9600, nämlich  $300 \text{ B/s} \times n$  (mit  $n =$  eine natürliche Zahl), vor. ICs von UART und allgemeine Mikroprozessor-ICs mit UART, die mit diesen Übertragungsgeschwindigkeiten zu arbeiten vermögen, sind ebenfalls im Handel erhältlich. Infolgedessen kann die Übertragungsgeschwindigkeit eines Felds (für ein Feld) des Formats Ao auf eine beliebige dieser Übertragungsgeschwindigkeiten geändert werden.

Die handelsüblichen UART-ICs erlauben den Empfang der Signale auch dann, wenn der Frequenzfehler mehr als etwa 25% beträgt. Wenn dabei jedoch ein Fehler 10% übersteigt, kann ein Empfangsfehler herbeigeführt werden. Demzufolge ist es wünschenswert, den Fehler innerhalb von 10% zu halten.

Bei der dritten Ausführungsform wird das gleiche Format des Start/Stop-Synchronisiertyps für sowohl das Format Bo als auch das Format Bo' benutzt. Die Übertragungszeit eines Felds des Formats Ao ist oder wird auf  $1/[300 \times n (n = \text{natürliche Zahl}) \times (0,9 \sim 1,1)] \text{ s}$  gesetzt. Folglich kann für den Serien/Parallel-Nebenwandler 131 ein UART-IC oder ein Mikroprozessor mit UART, wie sie derzeit im Handel sind, benutzt werden. Damit wird die oben mehrfach erwähnte Kostensenkung realisiert.

In der obigen Gleichung der Übertragungszeit wird "(0,9 ~ 1,1)" benutzt, um einen tolerierbaren Fehler von  $\pm 10\%$  zuzulassen.

Der Parallel/Serien-Nebenwandler 130 empfängt auch ein Taktsignal von 19 200 Hz ( $300 \times n$ ) von der Übertragung- bzw. Sende-Hauptsteuerung 50. Folglich kann ein handelsüblicher Serien-Übertragungs- oder -Sendeschnittstellen-IC des Taktsynchronisiertyps für den Parallel/Serien-Nebenwandler 130 verwendet werden. Damit wird, wie beim Sender, eine Kostensenkung erreicht.

Bei der dritten Ausführungsform muß anstelle der 1/12-Teilerstufe 43A gemäß Fig. 3 eine 1/16-Teilerstufe eingesetzt werden.

Die vorstehend beschriebenen Ausführungsformen der Erfindung sind verschiedenen Änderungen und Abwandlungen zugänglich. Bei der die zweite Ausführungsform zeigenden Fig. 11 ist oder wird das Format A auf das Format Ao nach Fig. 13(a) geändert, während die Formate C und C' auf das Format des Start/Stop-Synchronisiertyps geändert sind oder werden. Diese Formate sind mit den Formaten der zweiten Ausführungsform vermischt.

In diesem Fall beträgt die Bitzahl pro Feld des Formats A 32 Bits; die Übertragungszeit beträgt 614,4 Kb/s ( $= 19 200 \text{ Hz} \times 32 \text{ Bits}$ ), während diejenige der Formate B und B' 614,4 Kb/s ( $32 \text{ Bits} \times 2 (\text{mal})$ ) beträgt und ihr Code der Manchester-Code ist. Die Übertragungszeit der Formate C und C' beträgt 19 200 B/s.

Bei den obigen Ausführungsformen werden die Daten vom Absolutstellungsgeber unter Verwendung von Nebenwandlern gesandt und reproduziert. Ersichtlicherweise ist die Erfindung gleichermaßen auf einen Fall anwendbar, in welchem andere Daten mittels Nebenwandlern (aus)gesandt und reproduziert werden.

Wie sich aus der vorstehenden Beschreibung ergibt, sind bei einem erfindungsgemäßen Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen für Datenübertragung bzw. -übermittlung die mehreren Parallel/Serien-Wandler und die mehreren Serien/Parallel-Wandler in Reihe geschaltet, und das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serien-Wandler sowie das Format für die dem Kanal nachgeschalteten Serien/Parallel-Wandler sind die gleichen Formate. Infolgedessen wird mit der Erfindung die oben angegebene Kostensenkung erfolgreich realisiert.

Beim erfindungsgemäßen Verfahren sind die Parallel/Serien-Wandler und die Serien/Parallel-Wandler jeweils aus ICs mit jeweils einer Übertragungsgeschwindigkeit-Wählfunktion aufgebaut, so daß sie getrennt montiert werden können. Beispielsweise wird für einen Anwender, welcher die Nebenwandler nicht benutzt, das ihm gelieferte Signalübertragungs- oder -sendesystem unter Weglassung der Nebenwandler ausgestaltet, was eine Kostensenkung erbringt.

Bei obigem Verfahren sind die mehreren Parallel/Serien-Wandler und die mehreren Serien/Parallel-Wandler in Reihe geschaltet, und das Format der Seriensignale auf dem Kanal, das Format für die dem Kanal vorgeschalteten Parallel/Serien-Wandler sowie das Format für die dem Kanal nachgeschalteten Serien/Parallel-Wandler sind die gleichen Formate des Start/Stop-Synchronisiertyps. Aufgrund dieser Ausgestaltung können für die Nebenwandler handelsübliche ICs verwendet werden, was ebenfalls zur angegebenen Kostensenkung beiträgt.

#### Patentansprüche

1. Verfahren zum Übertragen (Senden) von Mehrfachseriensignalen, umfassend die folgenden Schritte: Umwandeln von Parallelsignalen in Seriensignale mittels einer Anzahl von in einem Sender oder Geber vorgesehenen Parallel/Serien-Wandlern, Umwandeln der Seriensignale in Parallelsignale mittels einer Anzahl von in einem Empfänger vorgesehenen Serien/Parallel-Wandlern und Übertragen bzw. Senden der mehreren oder Mehrfachseriensignale zwischen dem Sender und dem Empfänger über einen Übertragungs- oder Sendekanal, dadurch gekennzeichnet, daß die mehreren Parallel/Serien-Wandler und die mehreren Serien/Parallel-Wandler in Reihe geschaltet sind und

das Format für die dem Kanal vorgeschalteten Parallel/Serien-Wandler und das Format für die dem Kanal nachgeschalteten Serien/Parallel-Wandler die gleichen Formate sind.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Format der Seriensignale auf dem Übertragungs- oder Sendekanal das gleiche ist wie das Format für die Parallel/Serien- und die Serien/Parallel-

Wandler.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Parallel/Serien-Wandler mit bzw. aus integrierten Schaltkreisen oder ICs mit jeweils einer Übertragungsgeschwindigkeit-Wählfunktion aufgebaut sind und diese ICs für Datenübertragung oder -senden geschaltet sind.

5 4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Serien/Parallel-Wandler mit bzw. aus integrierten Schaltkreisen oder ICs mit jeweils einer Übertragungsgeschwindigkeit-Wählfunktion aufgebaut sind und diese ICs für Datenübertragung oder -senden geschaltet sind.

10 5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das gemeinsame Format der Seriensignale auf dem Kanal, für die Parallel/Serien- und die Serien/Parallel-Wandler das gleiche Format des Start/Stop-Synchronisiertyps ist.

6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß die Übertragungs- oder Sendezeit des Formats der Seriensignale auf dem Kanal  $1/[(300 \times n) \times (0,9 \sim 1,1)]$  s beträgt.

Hierzu 12 Seite(n) Zeichnungen

FIG. 1

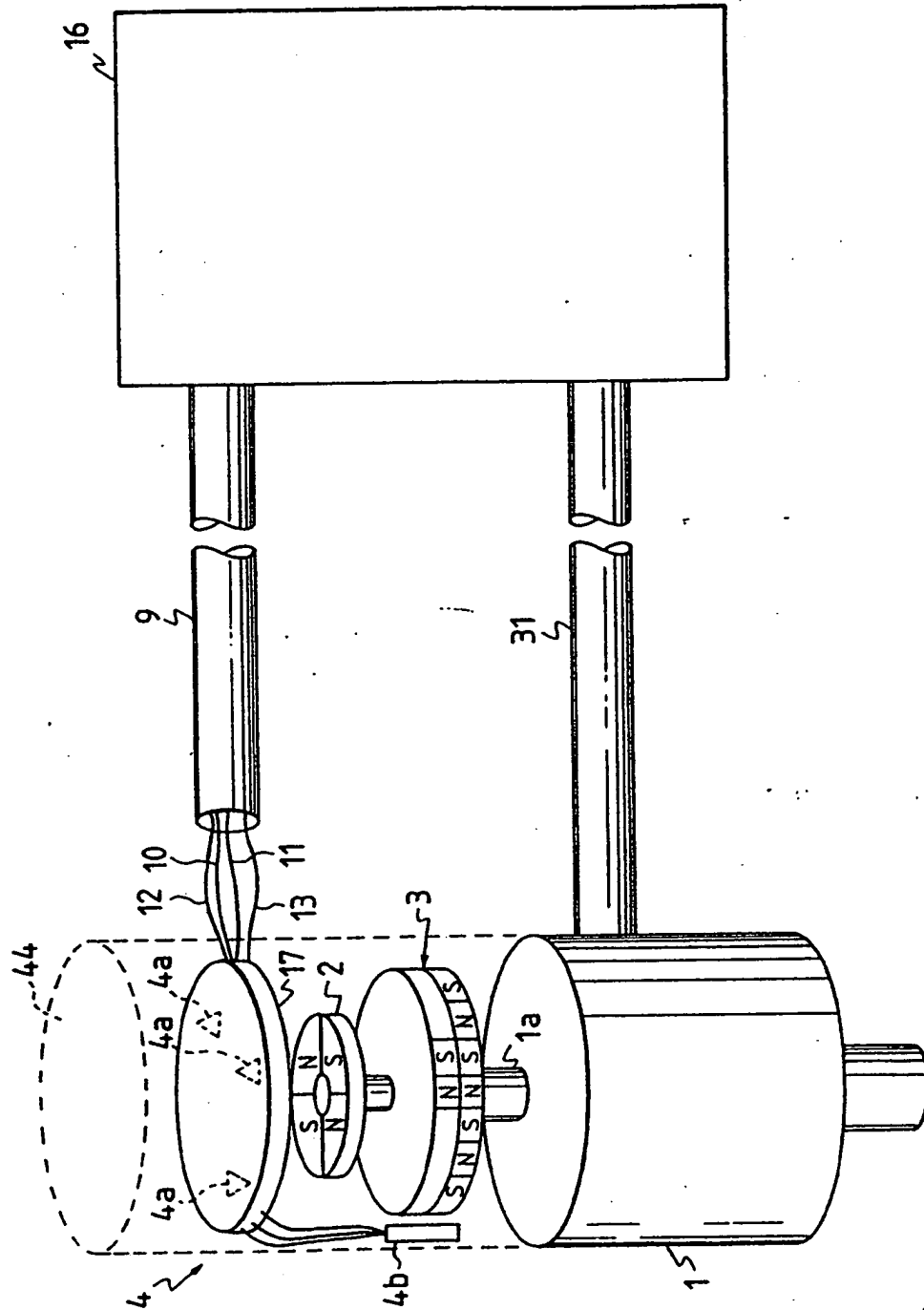


FIG. 2

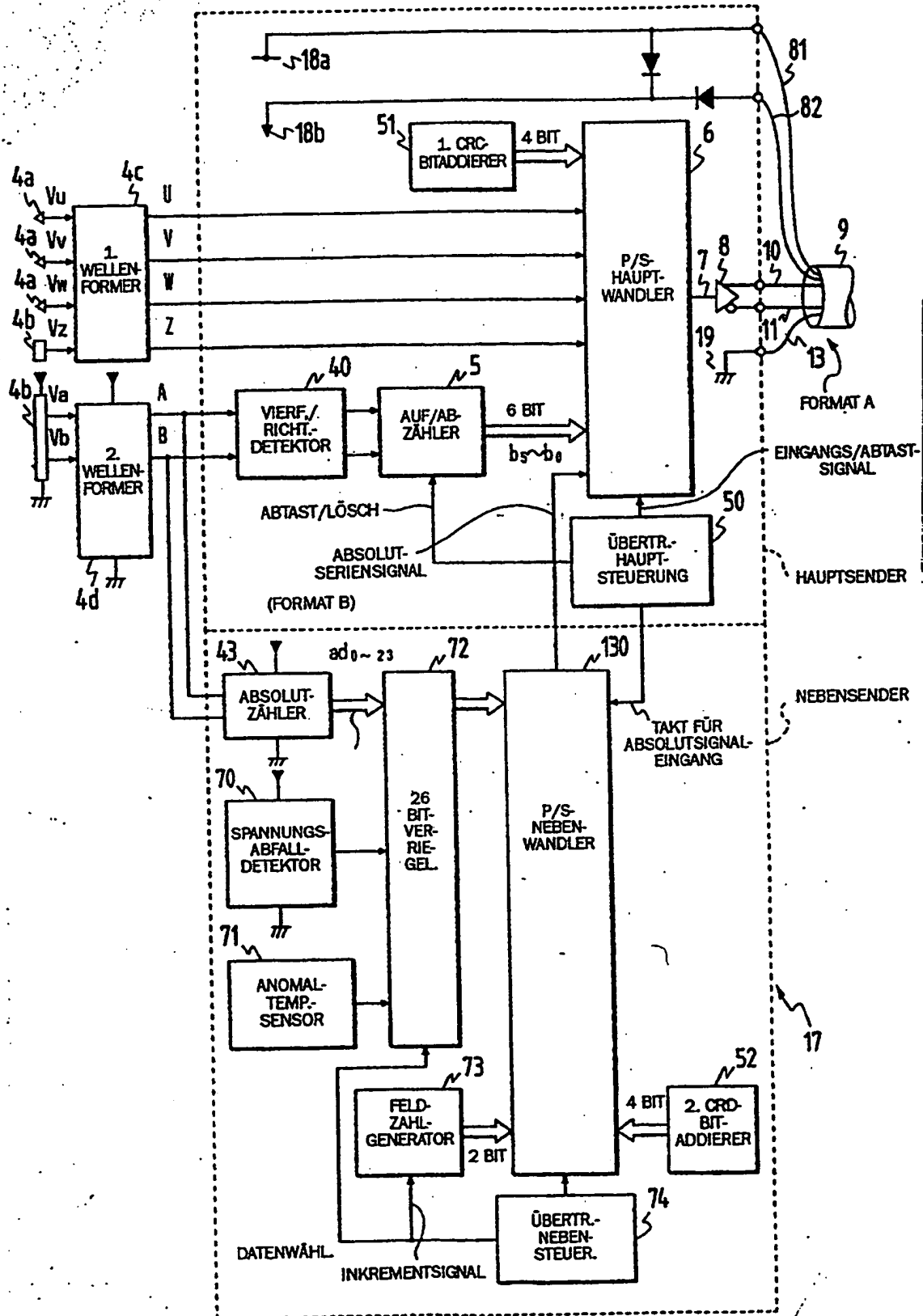


FIG. 3

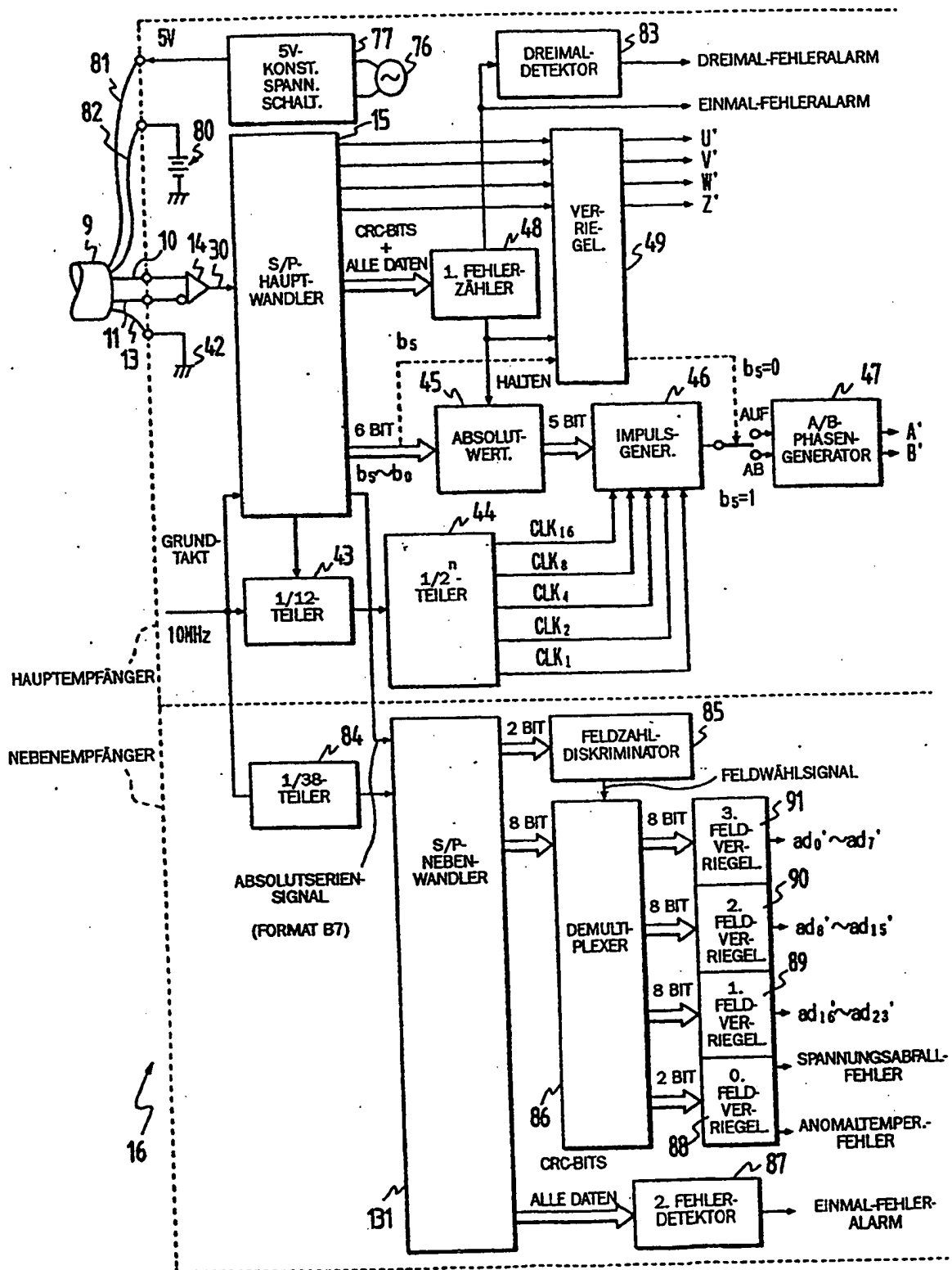


FIG. 4

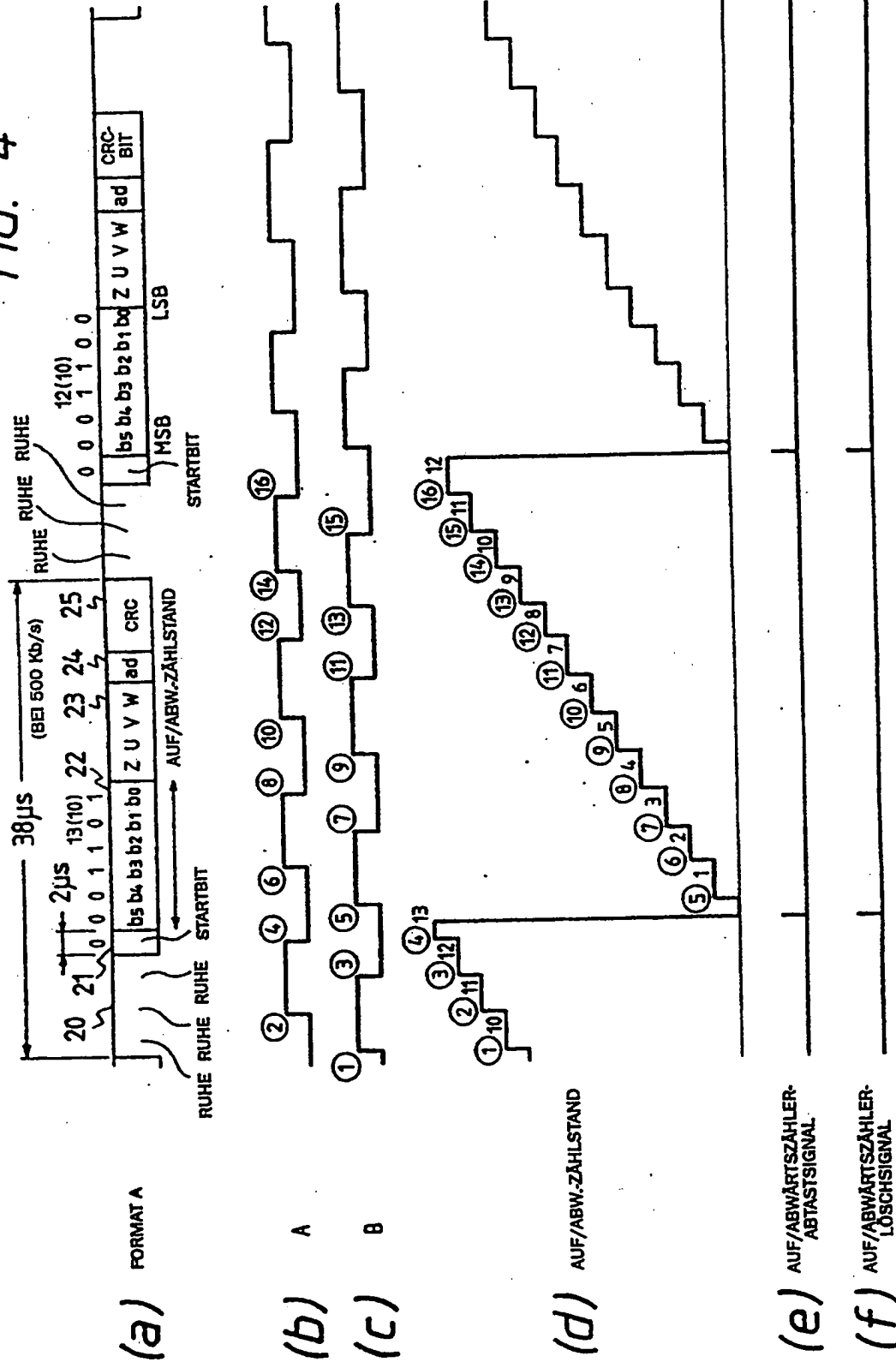






FIG. 7

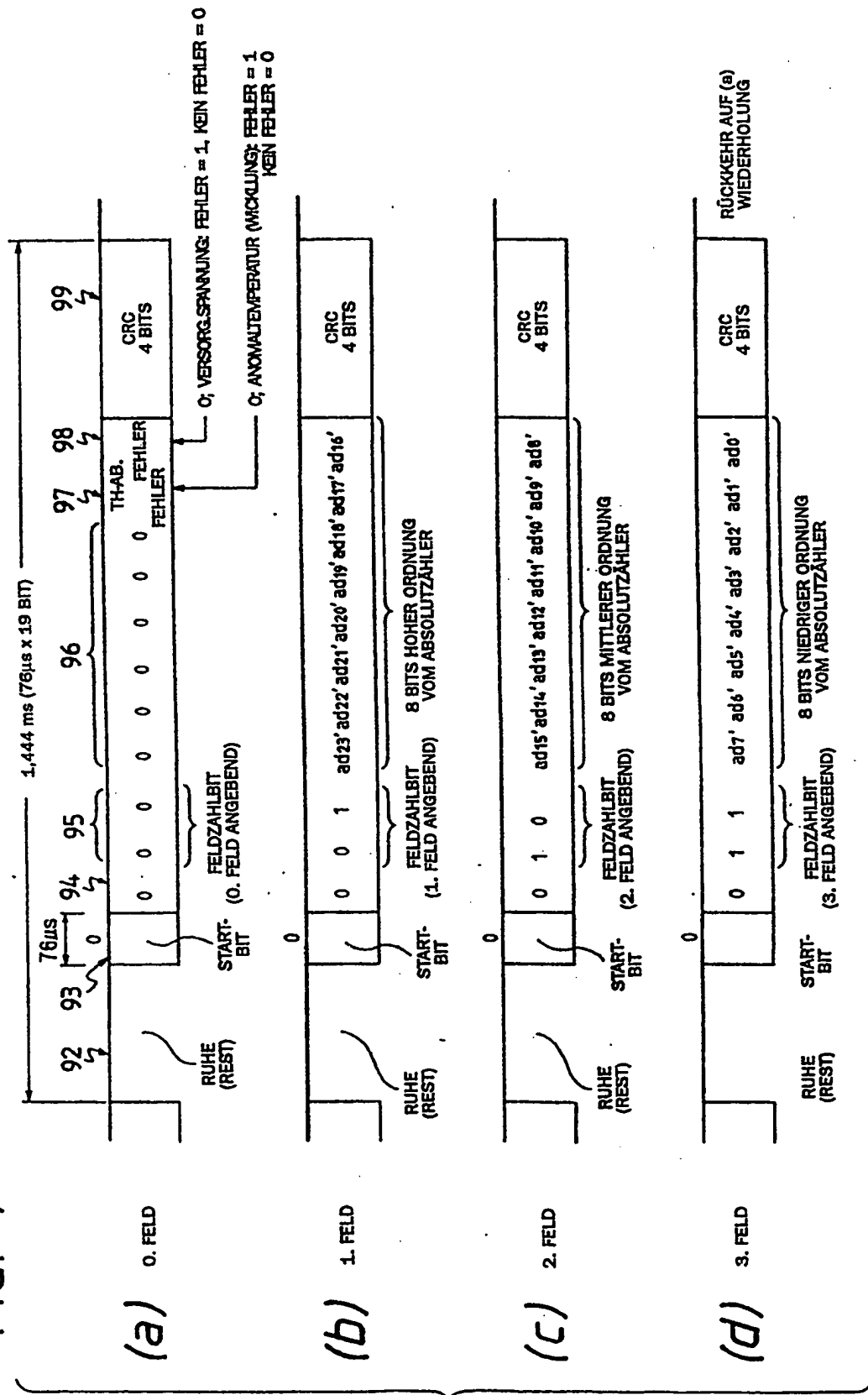


FIG. 8

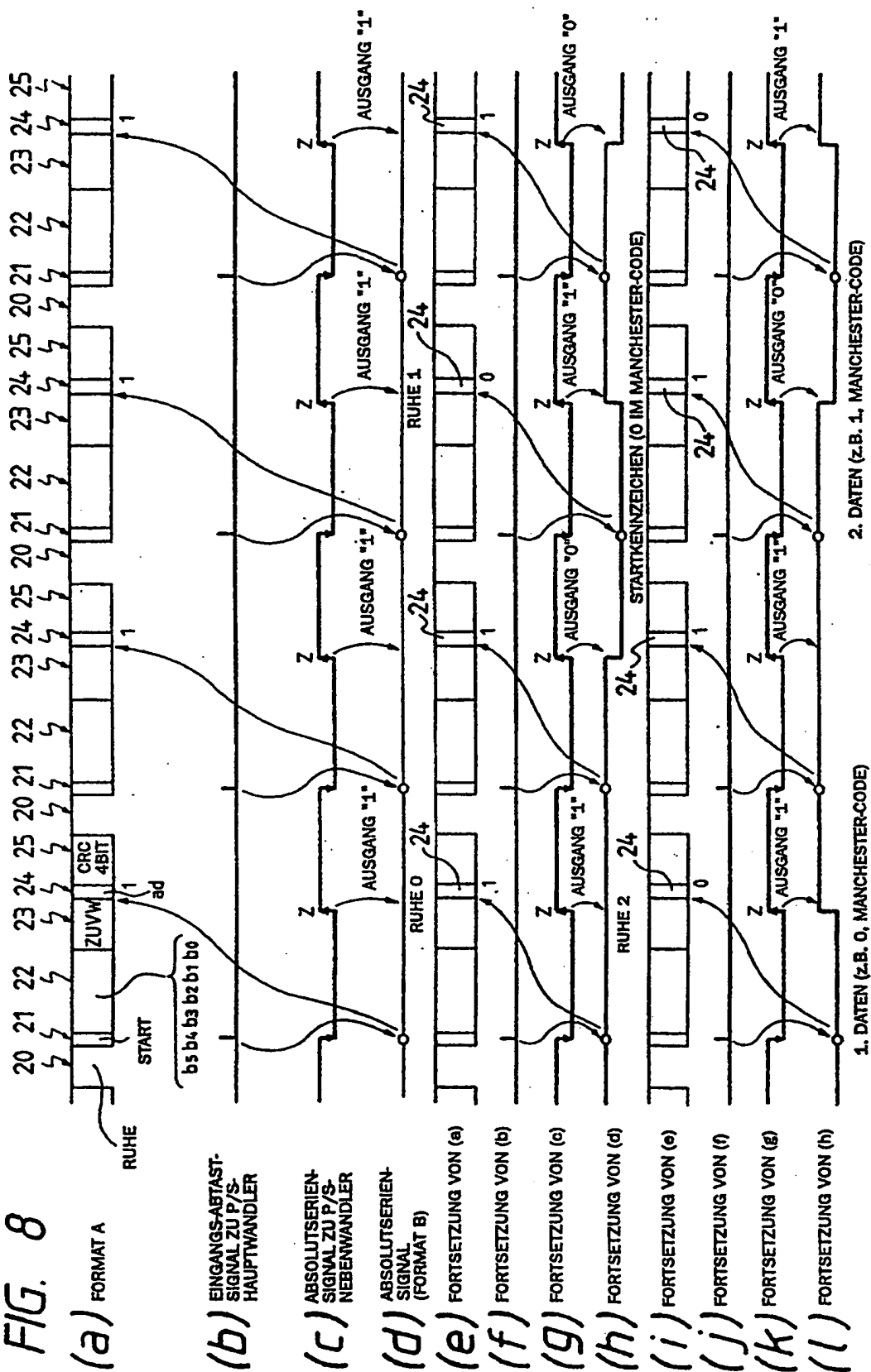


FIG. 9

